

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-311845

(43)Date of publication of application : 02.12.1997

(51)Int.Cl.

G06F 15/177  
H04J 1/00

(21)Application number : 08-151530

(71)Applicant : TOYO COMMUN EQUIP CO LTD

(22)Date of filing : 23.05.1996

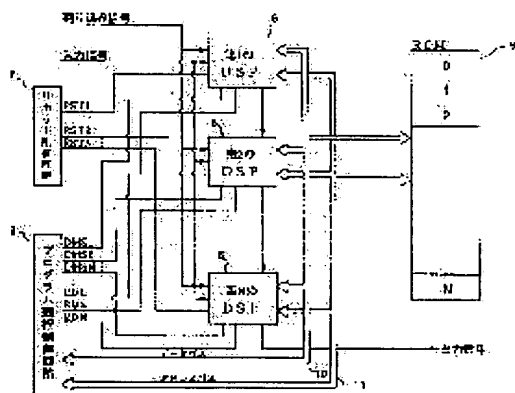
(72)Inventor : YAMADA SHINJI

## (54) DIGITAL SIGNAL PROCESSOR AND METHOD THEREFOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce both the parts mounting area and the cost of a DSP(digital signal processor) by making the DSP in an enable state read and execute its desired program via a program selection signal.

**SOLUTION:** Only one of those DSP 6 which have not read yet each desired program, is set in an enable state with other DSP 6 kept in disenabled states respectively. Then the enable DSP 6 reads its desired program out of a ROM 9 which stores the programs by outputting its corresponding program selection signal. Thus, the enable DSP 6 reads the desired program by the program selection signal and carries out the program. Then, other DSP 6 which don't read yet their desired programs are successively set in the enable states to read and carry out the desired programs respectively.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-311845

(43) 公開日 平成9年(1997)12月2日

(51) Int.Cl. <sup>5</sup>	識別記号	片内整理番号	F I	技術表示箇所
G 0 6 F 15/177			G 0 6 F 15/16	4 2 0 S
H 0 4 J 1/00			H 0 4 J 1/00	

審査請求 未請求 請求項の数 3 F D (全 7 頁)

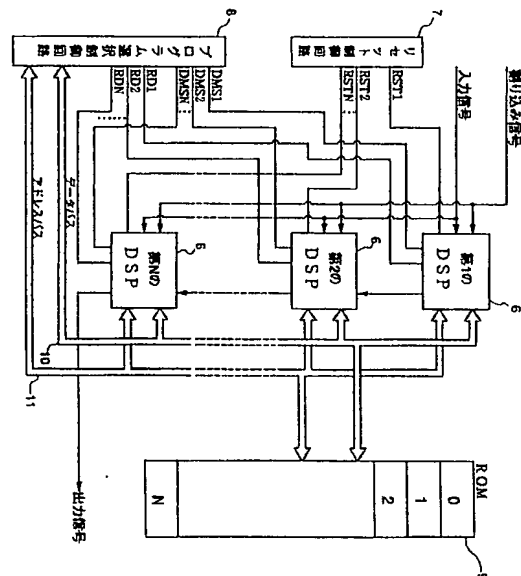
(21) 出願番号	特願平8-151530	(71) 出願人	000003104 東洋通信機株式会社 神奈川県高座郡寒川町小谷2丁目1番1号
(22) 出願日	平成8年(1996)5月23日	(72) 発明者	山田 紳治 神奈川県高座郡寒川町小谷二丁目1番1号 東洋通信機株式会社内
		(74) 代理人	弁理士 鈴木 均

(54) 【発明の名称】 DSP信号処理装置及び信号処理方法

(57) 【要約】

【課題】 DSPの数を制限することなくDSPへロードするプログラムを記憶するためのROMの数を減らすことにより部品実装面積を減少させると共に、コストをも低く抑えることができるDSP並列信号処理装置を提供する。

【解決手段】 目的のプログラムを読み込んで実行するためのデジタルシグナルプロセッサ (DSP) を複数有するDSP信号処理装置であって、複数のプログラムを格納して1つのバスラインを介して上記複数のプログラムを上記複数のDSPへ供給するための記憶手段と、上記各DSPのイネーブルおよびディスイネーブルを制御するためのリセット制御手段と、上記リセット制御手段によってイネーブル状態とされたDSPが目的のプログラムを読み込むためのプログラム選択信号を発生するためのプログラム選択制御手段とを具備する構成となっている。



## 【特許請求の範囲】

【請求項1】 目的のプログラムを読み込んで実行するためのデジタルシグナルプロセッサ（DSP）を複数有するDSP信号処理装置であって、複数のプログラムを格納して1つのバスラインを介して上記複数のプログラムを上記複数のDSPへ供給するための記憶手段と、上記各DSPのイネーブルおよびディスイネーブルを制御するためのリセット制御手段と、上記リセット制御手段によってイネーブル状態とされたDSPが目的のプログラムを読み込むためのプログラム選択信号を発生するためのプログラム選択制御手段とを具備することを特徴とするDSP信号処理装置。

【請求項2】 上記リセット制御手段が、目的のプログラムを読み込んでいないDSPの内の1つを順次イネーブル状態とし他をディスイネーブル状態とし、上記プログラム選択制御手段が、上記イネーブル状態にある1つのDSPがプログラムを格納した記憶手段から目的のプログラムを読み込むために上記イネーブル状態にある1つのDSPに応じたプログラム選択信号を出力し、上記イネーブル状態にある1つのDSPが、上記プログラム選択信号によって目的のプログラムを読み込んで実行する様に構成されていることを特徴とする請求項1に記載のDSP信号処理装置。

【請求項3】 目的のプログラムを読み込んで実行するためのデジタルシグナルプロセッサ（DSP）を複数有すると共に、複数のプログラムを格納して1つのバスラインを介して上記複数のプログラムを上記複数のDSPへ供給するための記憶手段と、上記各DSPのイネーブルおよびディスイネーブルを制御するためのリセット制御手段と、上記リセット制御手段によってイネーブル状態とされたDSPが目的のプログラムを読み込むためのプログラム選択信号を発生するためのプログラム選択制御手段とを有するDSP信号処理装置における信号処理方法であって、上記リセット制御手段が1つのDSPを除き、他のDSPに対してリセット信号を出力し、上記他のDSPをディスイネーブル状態とする第1のステップと、上記イネーブル状態の1つのDSPが、上記プログラム選択制御手段に対してプログラム選択信号の出力を要求する第2のステップと、上記プログラム選択制御手段がどのDSPからのプログラム選択要求かを判断し、そのDSPに応じたプログラム選択信号を出力する第3のステップと、上記イネーブル状態のDSPが上記プログラム選択信号に従って目的のプログラムを読み込み、実行し、割り込み待ち状態になる第4のステップと、上記リセット制御手段が他のディスイネーブル状態のDSPの1つをイネーブル状態にする第5のステップと、上記第1～第5のステップを繰り返し、全てのDSPに目的のプログラムを読み込ませ、割り込み待ち状態にする第6のステップと、上記割り込み信号を全てのDSPに入力し、並列処理を開始させる第7のステップと

を具備することを特徴とする信号処理方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、非常に多くのチャンネルに分割された周波数分割多重化方式による無線データ伝送におけるデジタルシグナルプロセッサ（DSP）による信号処理装置に関し、特に、上記DSPの数を制限することなくDSPへロードするプログラムを記憶するためのROMの数を減らすことにより部品実装面積を減少させると共に、コストをも低く抑えることができるDSP並列信号処理装置に関する。

## 【0002】

【従来の技術】近年、無線データ伝送においては、周波数の有効利用のために、非常に多くのチャンネルに分割された周波数分割多重化方式が用いられるようになって来ている。上記周波数分割多重化方式においては、データ伝送速度の高速化によって、信号処理に用いることができる時間が短くなってきており、このようなことから、複数のデジタルシグナルプロセッサ（DSP）による並列信号処理が必要となってきている。従来、このようなDSPの並列信号処理装置の構成としては、図4に示すように、N個のDSP1と、N個のROM2が1対1に対応して設けられ、上記個々のDSP1は対応するROM2から個々のDSP1のためのプログラムを読み込み（ロードし）、入力信号に対して上記プログラムに従って所定の処理を行い、個々のDSPをシリアル通信で結び、上記処理結果を出力する様にしていた。

## 【0003】

【発明が解決しようとする課題】しかしながら、上記図4に示したDSP並列信号処理装置においては、DSP1の数と同数のROM2を用意しなければならず、その結果、コストがかさむ、プリント基板上の部品実装面積が増える等の問題点があった。また、図5に示す様に、他の従来のDSP並列信号処理装置としては、複数のDSP3のそれぞれが、複数のバスライン4を持つROM5に接続されているものがある。この従来のDSP並列信号処理装置においては、個々のDSP3は、上記ROM5から、上記複数のバスライン4を介して個々のDSP3のためのプログラムをロードし、入力信号に対して上記プログラムに従って所定の処理を行ない、個々のDSP3をシリアル通信で結び上記処理結果を出力していた。しかしながら、図5に示したDSP並列信号処理装置においては、DSP3の数に合わせてバスラインを設けなければならないため、現在のROMの形態から考えると、DSP3の数（すなわち図4のNの数）が制限されてしまう問題点があった。本発明は、上記事情に鑑みてなされたものであって、DSPの数を制限することなくDSPへロードするプログラムを記憶するためのROMの数を減らすことにより部品実装面積を減少させると共に、コストをも低く抑えることができるDSP並列信

号処理装置を提供することを目的とする。

【0004】

【課題を解決するための手段】 上記目的を達成するため、本発明は、目的のプログラムを読み込んで実行するためのデジタルシグナルプロセッサ（DSP）を複数有するDSP信号処理装置において、複数のプログラムを格納して1つのバスラインを介して上記複数のプログラムを上記複数のDSPへ供給するための記憶手段と、上記各DSPのイネーブルおよびディスイネーブルを制御するためのリセット制御手段と、上記リセット制御手段によってイネーブル状態とされたDSPが目的のプログラムを読み込むためのプログラム選択信号を発生するためのプログラム選択制御手段とを具備することを特徴とする。本発明の他の特徴は、上記リセット制御手段が、目的のプログラムを読み込んでいないDSPの内の1つを順次イネーブル状態とし他をディスイネーブル状態とし、上記プログラム選択制御手段が、上記イネーブル状態にある1つのDSPがプログラムを格納した記憶手段から目的のプログラムを読み込むために上記イネーブル状態にある1つのDSPに応じたプログラム選択信号を出力し、上記イネーブル状態にある1つのDSPが、上記プログラム選択信号によって目的のプログラムを読み込んで実行する様に構成されていることである。

【0005】 本発明の他の特徴は、目的のプログラムを読み込んで実行するためのデジタルシグナルプロセッサ（DSP）を複数有すると共に、複数のプログラムを格納して1つのバスラインを介して上記複数のプログラムを上記複数のDSPへ供給するための記憶手段と、上記各DSPのイネーブルおよびディスイネーブルを制御するためのリセット制御手段と、上記リセット制御手段によってイネーブル状態とされたDSPが目的のプログラムを読み込むためのプログラム選択信号を発生するためのプログラム選択制御手段とを有するDSP信号処理装置における信号処理方法において、上記リセット制御手段が1つのDSPを除き、他のDSPに対してリセット信号を出力し、上記他のDSPをディスイネーブル状態とする第1のステップと、イネーブル状態の1つのDSPが、上記プログラム選択制御手段に対してプログラム選択信号の出力を要求する第2のステップと、上記プログラム選択制御手段がどのDSPからのプログラム選択要求かを判断し、そのDSPに応じたプログラム選択信号を出力する第3のステップと、上記イネーブル状態のDSPが上記プログラム選択信号に従って目的のプログラムを読み込み、実行し、割り込み待ち状態になる第4のステップと、上記リセット制御手段が他のディスイネーブル状態のDSPの1つをイネーブル状態にする第5のステップと、上記第1～第5のステップを繰り返し、全てのDSPに目的のプログラムを読み込ませ、割り込み待ち状態にする第6のステップと、上記割り込み信号を全てのDSPに入力し、並列処理を開始させる第7の

ステップとを具備することである。

【0006】

【発明の実施の形態】 以下、本発明を図示した実施形態に基づいて説明する。図1は、本発明によるDSP信号処理装置の一実施形態を示す構成図である。図1に示す様に、このDSP信号処理装置は、複数（この場合、N個）のデジタルシグナルプロセッサ（DSP）6と、上記各DSP6に接続されリセット制御回路7と、上記各DSP6に接続されたプログラム選択制御回路8と、上記各DSP6のプログラムを記憶したROM9と、上記各DSP6と上記ROM9とを接続すると共に、上記プログラム選択制御回路8をも接続する1つのデータバス10およびアドレスバス11とを有し、上記各DSP6に入力信号および割り込み信号が入力され、上記各DSP6がシリアル通信で結ばれて出力信号が出力される様になっている。また、上記ROM9には、上記各DSP6に共通のプログラム選択プログラムと、上記各DSP6のための処理プログラムとが格納されている。

【0007】 次に、上記DSP信号処理装置の動作について図2の動作フローチャートを参照して説明する。まず、図2のS100において、上記リセット制御回路7は、第1のDSP6をイネーブル状態にし、他のDSP6（第2～第NのDSP）をディスイネーブル状態にする様にリセット信号を出力し、S101において、第1のDSP6は、上記ROM9内の領域“0”に格納されているプログラム選択プログラムをロードし、このプログラムを実行する。この時、他のDSP6は、ディスイネーブル状態であるので、外部に影響を及ぼさない。次に、S102において、上記第1のDSP6は、プログラム選択プログラムの実行により、プログラム選択信号を上記プログラム選択制御回路8に要求し、S103において、上記プログラム選択制御回路8は、上記第1のDSP6のデータメモリリクエスト信号（DMS1）、リード信号（RD1）、アドレスバス11の状態を感知し、上記第1のDSP6からのプログラム選択信号の要求であることを認識する。すなわち、上記DSP6が外部のデータを読み込む際には、データメモリリクエスト信号（DMS）とリード信号（RD）が共にLowレベルとなるので、上記プログラム選択制御回路8は上記DMSおよびRDの入力端子の状態を監視することによって、上記DSP6の状況を把握することが可能となる。

【0008】 次に、S104において、上記プログラム選択制御回路8は、上記第1のDSP6の実行プログラムを指定するデータ（プログラム選択信号）をデータバス10に出力し、S105において、上記第1のDSP6は、データバス10から、実行プログラムを指定するデータを読み込み、ロードすべきプログラムが上記ROM9内のどのプログラムであるかを認識し、そのプログラムをロードする。次に、S106において、上記第1のDSP6はロードしたプログラムを実行し、割り込み

待ち状態となり、S107において、上記リセット制御回路7は、上記第1のDSP6が割り込み待ち状態になるまでの時間を予め把握しておき、上記第1のDSP6が割り込み待ちの状態となった後、上記第2のDSP6をイネーブル状態にする。

【0009】次に、S108において、上記第2のDSP6も、上述した第1のDSP6の場合と同様の動作を行い、割り込み待ち状態となる。すなわち、図3のS200において、リセット制御回路7は、第2のDSP6をイネーブル状態にし、他のDSP6（第3～第NのDSP）をデイスイネーブル状態にする様にリセット信号を出力し、S201において、第2のDSP6は、上記ROM9内の領域“1”に格納されているプログラム選択プログラムをロードし、このプログラムを実行する。この時、他のDSP6は、デイスイネーブル状態であるので、外部に影響を及ぼさない。次に、S202において、上記第2のDSP6は、プログラム選択プログラムの実行により、プログラム選択信号を上記プログラム選択制御回路8に要求し、S203において、上記プログラム選択制御回路8は、上記第2のDSP6のデータメモリアクセス信号（DMS2）、リード信号（RD2）、アドレスバス11の状態を感知し、上記第2のDSP6からのプログラム選択信号の要求であることを認識する。

【0010】次に、S204において、上記プログラム選択制御回路8は、上記第2のDSP6の実行プログラムを指定するデータ（プログラム選択信号）をデータバス10に出力し、S205において、上記第2のDSP6は、データバス10から、実行プログラムを指定するデータを読み込み、ロードすべきプログラムが上記ROM9内のどのプログラムであるかを認識し、そのプログラムをロードする。

【0011】次に、S206において、上記第2のDSP6はロードしたプログラムを実行し、割り込み待ち状態となり、S207において、上記リセット制御回路7は、上記第2のDSP6が割り込み待ち状態になるまでの時間を予め把握しておき、上記第2のDSP6が割り込み待ちの状態となった後、上記第3のDSP6をイネーブル状態にする。この間、上記第1のDSP6はイネーブル状態であるが、割り込み待ち状態であるため、割り込み信号を入力しない限り外部に影響を及ぼさない。そして、図2のS109において、以上の動作を以後の第3～第NのDSP6に対して繰り返し、上記第1～第NのDSP6に目的のプログラムをロードし、割り込み待ち状態、すなわち実行可能状態とする。

【0012】そして、S110において、上記第1～第NのDSP6に割り込み信号を入力することにより全てのDSP6がアクティブ状態となり、入力信号を取り込み、その後各DSP6は様々な処理を独立した状態でを行い、上記第1のDSP6は、処理結果を第2のDSP6

へ出力し、第2のDSP6では、自己の処理結果と、上記第1のDSP6から入力した処理結果とに基づいて、新たな出力信号を次段のDSPへ順次出力していき、目的の処理を実行する。以上の様に構成することにより、1つのROM9から複数のDSP6に対して、それぞれ違ったプログラムをロードさせることができるので、実装するROMは複数のバスラインを持たない1つのROMで済み、プリント基板上の部品実装面積が減少し、小型化することができ、またコストも低くすることができる。なお、上述した方法は並列処理に限らず、データバス、アドレスバス、制御信号等を上述したDSP信号処理装置の構成と同様にすることで、継続処理にも適用できる。

#### 【0013】

【発明の効果】以上説明した様に、本発明は、目的のプログラムを読み込んでいないDSPの内の1つのみをイネーブル状態とし他をデイスイネーブル状態とし、上記イネーブル状態にある1つのDSPがプログラムを格納したROMから目的のプログラムを読み込むために上記イネーブル状態にある1つのDSPに応じたプログラム選択信号を出力し、上記イネーブル状態にある1つのDSPが、上記プログラム選択信号によって目的のプログラムを読み込んで実行し、次に、順次、上記目的のプログラムを読み込んでいない残りのDSPを1つづつイネーブル状態とし、同様に、そのイネーブル状態のDSPが目的のプログラムを読み込んで実行する様にしたので、1つのROMから複数のDSPに対して、それぞれ違ったプログラムをロードさせることができる。即ち、実装するROMは1つで済み、しかも搭載できるDSPの制限が無く、プリント基板上の部品実装面積が減少し、小型化することができ、またコストも低くすることができる。

#### 【図面の簡単な説明】

【図1】本発明によるDSP信号処理装置の一実施形態を示す構成図である。

【図2】図1に示したDSP信号処理装置の動作フローチャートである。

【図3】図2に示したS108の動作フローチャートである。

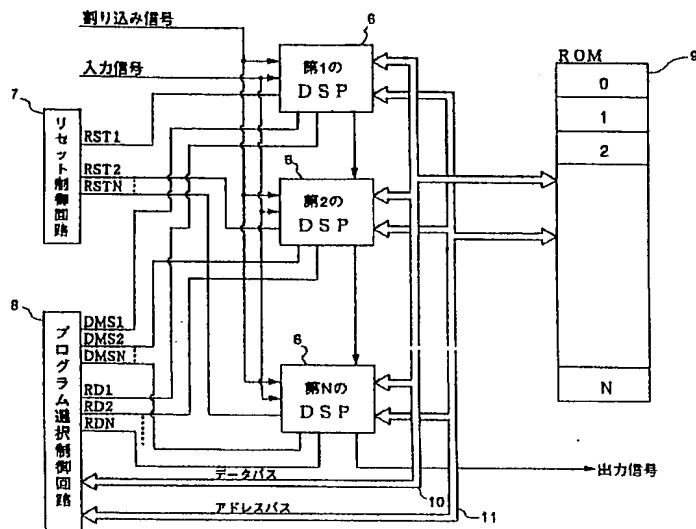
【図4】従来のDSP信号処理装置の構成図である。

【図5】従来の他のDSP信号処理装置の構成図である。

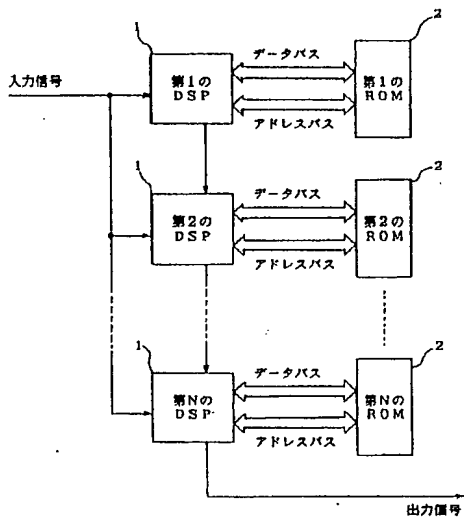
#### 【符号の説明】

1、3、6…DSP、 2、5、9  
…ROM、4…バスライン、  
7…リセット制御回路、8…プログラム選択制御回路、  
10…データバス、11…アドレスバス、  
S100～S110、S200～S207…各ステップ、

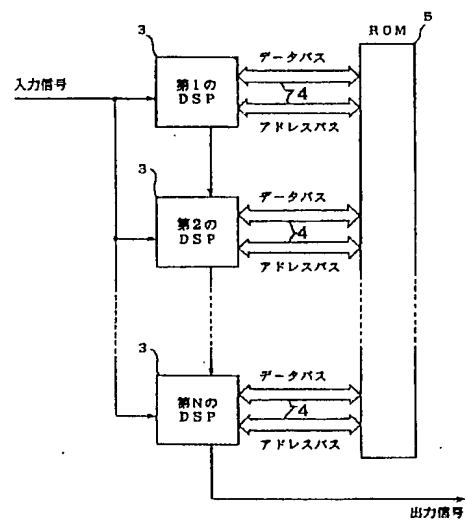
【図1】



【図4】

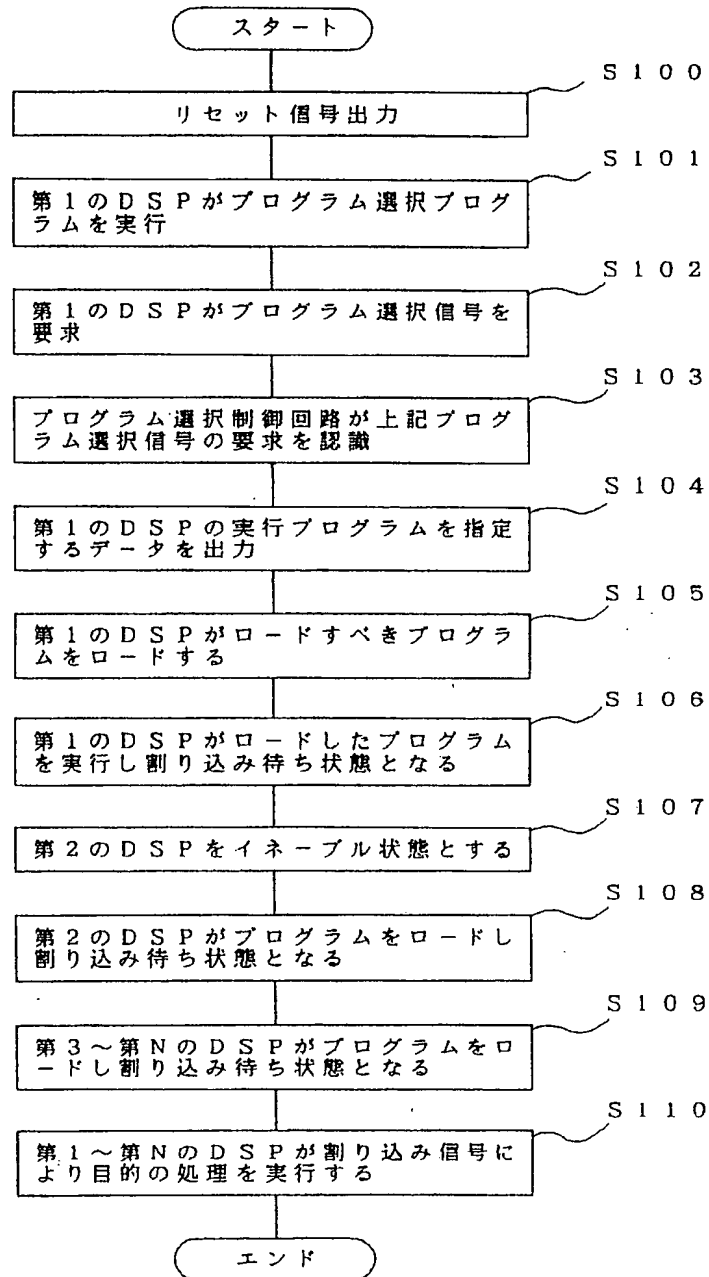


【図5】





【図2】



【図3】

